

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-263220
(43)Date of publication of application : 26.10.1990

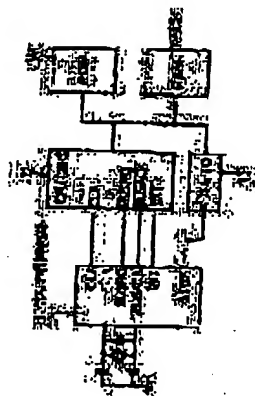
(51)Int.Cl. G06F 1/04

(21)Application number : 01-084190 (71)Applicant : SEIKO INSTR INC
(22)Date of filing : 03.04.1989 (72)Inventor : MIYAHARA SHINICHIRO
FUKUSHIMA TOSHITAKA
WATANABE HIROYUKI
SHIBATA KOICHI

(54) CLOCK CONTROL CIRCUIT**(57)Abstract:**

PURPOSE: To attain the DMA transfer, etc., without adding a clock to a CPU and to reduce the power consumption by stopping the system clock via the CPU while holding the internal state of a computer equipment after the CPU releases a bus, thereby enabling another peripheral device to serve as a bus master.

CONSTITUTION: After the CPU 12 releases the bus, the CPU is controlled to be set in a STOP mode where the system clock is stopped while holding the internal state of a computer equipment. Thus the bus is released when the CPU 12 is set in the STOP mode. Consequently, a bus master, e.g., a DMA 13, etc., except the CPU 12 of the computer equipment can perform the DMA even in the STOP mode of the CPU 12. Then the transfer of data is attained even in the stop state of the system clock. Thus it is possible to reduce the power consumption of a portable equipment which is driven by a battery.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAAOaau2DA40226322...> 2007/02/05

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAAAOaau2DA40228322...> 2007/02/05

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-263220

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)10月26日

G 06 F 1/04

S 01 C

7459-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑯ 発明の名称 クロック制御回路

⑰ 特 願 平1-84190

⑱ 出 願 平1(1989)4月3日

⑲ 発 明 者 宮 原 慎 一 郎 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
 会社内
 ⑲ 発 明 者 福 嶋 俊 隆 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
 会社内
 ⑲ 発 明 者 渡 辺 洋 幸 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
 会社内
 ⑲ 発 明 者 柴 田 孝 一 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
 会社内
 ⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
 会社
 ⑲ 代 理 人 弁理士 林 敏之助

明 細 書

1. 発明の名称

クロック制御回路

2. 特許請求の範囲

コンピュータ装置のクロック制御回路において、CPUがバスを解放した後、コンピュータ装置の内部状態を保持しつつシステムクロックを停止させるストップモードに移行する手順を有する事を特徴とした、クロック制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、コンピュータ装置のシステムクロック制御装置に関するものである。

〔発明の概要〕

本発明は、消費電流を抑えるため通常CPUのクロックを止めてSTOPモードに入る時に、STOPモードになるCPU以外のバスマスタがバスを制御できるように、バスを解放してからST

OPモードに入る状態を備えた、クロック制御回路である。

〔従来の技術〕

従来、コンピュータ装置は低消費電力にするためSTOPモードを用いていた。STOPモードとは、CPUがホールド命令を実行するとコンピュータ装置のクロックを完全に停止しつつ、システムの保持を行なう。ストップモードの解除は、割り込み信号により起動しクロックが発振を開始し、STOPモード直前の状態に戻る事ができる。例えば(株)東芝「8ビットマイクロコンピュータTLC8-4B、Z80、85デーブック」(1986年4月)MPUZ80-264P。

〔発明が解決しようとする課題〕

従来、この種の装置はホールド命令を実行してSTOPモードに移行するとCPUがバスマスタになってしまうため、CPUがSTOPモード中は他の周辺デバイスがバスマスタになることができないという問題点があった。

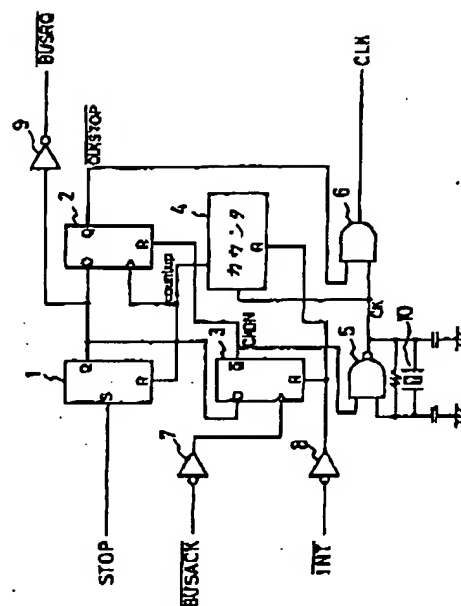
特開平2-263220 (3)

は、本発明のブロック制御回路を用いたコンピュータ装置を示すブロック図である。

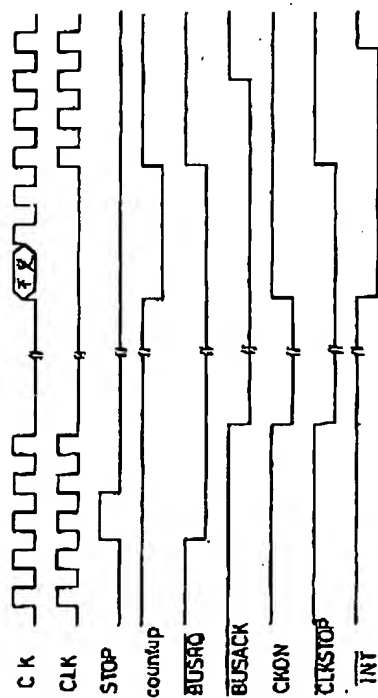
- 1 . . . R5フリップフロップ
2 . . . Dフリップフロップ
3 . . . Dフリップフロップ
4 . . . カウンタ
5 . . . ゲート
6 . . . ゲート
7 . . . インバータ
8 . . . インバータ
9 . . . インバータ
10 . . . 水素

以上

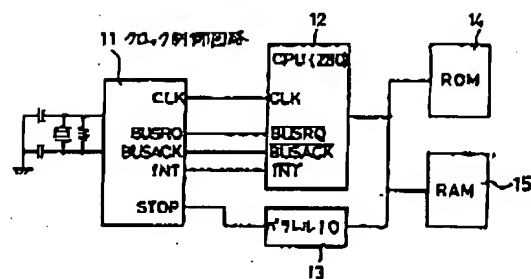
出願人 セイコー電子工業株式会社
代理人 齊藤士 比 野 之 助



本誌明の如く、利卸回路の一端把柄を示す回路図
第1図



第1図のクロック回路におけるタイムチャート四
第2図



本発明のクロック制御回路を用いたコンピュータ装置
を示すブロック図

第 3 题